

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung von Stacked Vias bzw. übereinander gestapelter elektrischer Durchkontaktierungen für mikroelektronische Bauelemente.

Heutzutage ist es allgemein üblich, bei mikroelektronischen Bauelementen mehrere Verdrahtungsebenen vorzusehen, welche jeweils durch dazwischenliegende Isolierschichten voneinander getrennt sind. Um zwei übereinanderliegende Verdrahtungsebenen miteinander zu verbinden oder einen Kontakt zwischen der ersten Verdrahtungsebene und den darunterliegenden mikroelektronischen Strukturen herzustellen, wird vor der Aufbringung der oberen Verdrahtungsebene ein Durchgangsloch in der dazwischenliegenden Isolierschicht gebildet und mit einem leitfähigen Material gefüllt. Dann wird die obere Verdrahtungsebene aufgebracht und strukturiert.

Falls zwei Verdrahtungsebenen miteinander zu verbinden sind, welche nicht unmittelbar übereinanderliegen, oder falls die unter der ersten Verdrahtungsebene liegenden mikroelektronischen Strukturen direkt mit der zweiten Verdrahtungsebene zu verbinden sind, d. h. mindestens eine weitere Verdrahtungsebene dazwischenliegt, wird üblicherweise ein Stacked Via vorgesehen, wie nachstehend näher erläutert wird.

Fig. 2a bis e zeigen eine schematische Darstellung der bisher üblichen Prozeßschritte zur Herstellung von Stacked Vias für mikroelektronische Bauelemente.

In Fig. 2 bezeichnen 10 ein Substrat, M1, M2, M3 Leiterbahnschichten, ILD1, ILD2 Isolierschichten, L1, L2, L2' Liner, H1, H2, H2' Löcher und V1, V2, V2' Vias.

Zunächst wird eine erste Leiterbahnschicht M1 auf dem Substrat 10, welches zweckmäßigerweise eine integrierte elektrische Schaltung aufweist, abgeschieden und strukturiert.

Dann wird eine erste Isolierschicht ILD1 auf der ersten Leiterbahnschicht M1 abgeschieden und planarisiert. In der ersten Isolierschicht ILD1 in Kontakt mit der ersten Leiterbahnschicht M1 wird ein erstes Via V1 gebildet.

Dann wird eine zweite Leiterbahnschicht M2 auf der ersten Isolierschicht ILD1 und insbesondere innerhalb eines Bereichs um das erste Via V1 abgeschieden und strukturiert. Dieser Bereich wird auch als M2-Metall-Landing-Pad bezeichnet.

Dann wird eine zweite Isolierschicht ILD2 auf der zweiten Leiterbahnschicht M2 und dem freigelassenen Bereich um das erste Via V1 abgeschieden und planarisiert.

Anschließend erfolgt das Bilden eines zweiten Vias V2 in der zweiten Isolierschicht ILD2 genauso wie das Bilden des ersten Vias V1 derart, daß es auf das zwischengesetzte Metall-Landing-Pad in der M2-Ebene trifft.

Gleichzeitig erfolgt das Bilden eines weiteren zweiten Via V2' in der zweiten Isolierschicht ILD2 in Kontakt mit der zweiten Leiterbahnschicht M2.

Schließlich erfolgt das Vorsehen einer dritten strukturierten Leiterbahnschicht M3 auf der zweiten Isolierschicht ILD2 in Kontakt mit dem zweiten Via V2 und dem weiteren zweiten Via V2'.

Als nachteilhaft bei dem obigen bekannten Ansatz hat sich die Tatsache herausgestellt, daß die Metallfläche des M2-Metall-Landing-Pad so groß gestaltet werden muß, daß das untere Via V1 mit Sicherheit damit bedeckt ist bzw. das obere Via V2 mit Sicherheit darauf landet.

Da dieses Design mit großem Platzbedarf verbunden ist, versucht man, kleinere M2-Metall-Landing-Pads zu verwenden, wodurch das Risiko entsteht, daß das obere Via V2 auf die Flanke des Pads gerät und der anschließend gesput-

terte Liner aufgrund von Lochfraß im Metall bzw. Dielektrikum nicht dicht ist. Insbesondere sind derartige kleine Metallflächen lacktechnisch schwierig abzubilden, was aufwendige und kostspielige Lacktechniken erforderlich macht oder das Risiko erhöhter Defektdichten durch umkippende Lackstöpsel mit sich bringt.

Das Problem der auf die Metallflanken treffenden Vias mit undichtem Liner kann zwar dadurch umgangen werden, daß die M2-Metall-Landing-Pads entsprechend groß gestaltet werden, was jedoch einen hohen Platzbedarf mit sich bringt. Auch kann die Linerabscheidung durch Sputtern durch eine teurere CVD-Abscheidung ersetzt werden.

Daher ist es Aufgabe der vorliegenden Erfindung, ein verbessertes Verfahren zur Herstellung von Stacked Vias bzw. übereinander gestapelter elektrischer Durchkontaktierungen für mikroelektronische Bauelemente zu schaffen, welches eine Platzeinsparung ohne erhöhte Prozeßrisiken ermöglicht.

Erfindungsgemäß wird diese Aufgabe durch das in Anspruch 1 angegebene Verfahren gelöst.

Das erfindungsgemäße Verfahren weist gegenüber dem bekannten Lösungsansatz den Vorteil auf, daß eine kritische Strukturgröße bei der Lithographie entfällt, nämlich diejenige des M2-Metall-Landing-Pads. Weiterhin kommt es zu einer deutlichen Platzeinsparung und zur Vermeidung der in Bezug auf die M2-Metall-Landing-Pads auftretenden Prozeßrisiken. Lediglich das Durchätzen der das obere Via betreffenden Isolierschicht muß gewährleistet sein.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht allgemein darin, daß die zweite strukturierte Leiterbahnschicht auf der ersten Isolierschicht unter Freilassen eines Bereichs um das erste Via gebildet wird, und nicht auf dem ersten Via. Die zweite Isolierschicht wird dann auf der zweiten Leiterbahnschicht und dem freigelassenen Bereich um das erste Via gebildet. Schließlich wird das zweite Via in der zweiten Isolierschicht derart gebildet, daß es direkt auf das erste Via trifft. Dazu sei bemerkt, daß die erste Leiterbahnschicht auch eine mikroelektronische Struktur sein kann und nicht unbedingt eine metallische Verdrahtungsebene sein muß.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des in Anspruch 1 angegebenen Verfahrens.

Gemäß einer bevorzugten Weiterbildung wird ein weiteres zweites Via in der zweiten Isolierschicht in Kontakt mit der zweiten Leiterbahnschicht gebildet.

Gemäß einer weiteren bevorzugten Weiterbildung geschieht das Bilden des weiteren zweiten Via gleichzeitig mit dem Bilden des zweiten Via. So benötigt die Durchkontaktierung von der zweiten zur dritten Leiterbahnschicht keinen zusätzlichen Prozeßschritt.

Gemäß einer weiteren bevorzugten Weiterbildung werden die Vias durch folgende Schritte gebildet: Bilden eines Lochs in der betreffenden Isolierschicht; Aufbringen, insbesondere Aufputtern, eines Liners in dem Loch und Auffüllen des Lochs mit einem elektrisch leitenden Material.

Gemäß einer weiteren bevorzugten Weiterbildung weist der Liner Titan oder Titanitrid auf.

Gemäß einer weiteren bevorzugten Weiterbildung weist das elektrisch leitende Material Wolfram auf.

Gemäß einer weiteren bevorzugten Weiterbildung wird das Loch durch einen anisotropen Ätzprozeß, insbesondere Plasmaätzen, gebildet.

Gemäß einer weiteren bevorzugten Weiterbildung wird zum gleichzeitigen Bilden des zweiten Vias mit dem weiteren zweiten Via eine Überätzung des weiteren zweiten Via durchgeführt.

Gemäß einer weiteren bevorzugten Weiterbildung ist die

zweite strukturierte Leiterbahnschicht derart beschaffen, daß sie bei der Überätzung einen vertikalen Ätzstopp für das weitere zweite Via bildet. Dadurch kann die Überätzung lediglich in horizontaler Richtung fortschreiten, was wegen der ohnehin anisotropen Natur des Ätzprozesses weniger störend wirkt.

Gemäß einer weiteren bevorzugten Weiterbildung wird eine dritte strukturierte Leiterbahnschicht auf der zweiten Isolierschicht in Kontakt mit dem zweiten Via vorgesehen. So ergibt sich ein Stapel von zwei Vias.

Gemäß einer weiteren bevorzugten Weiterbildung werden zusätzlich folgende Schritte ausgeführt: Vorsehen einer dritten strukturierten Leiterbahnschicht auf der zweiten Isolierschicht unter Freilassen eines Bereichs um das zweite Via; Vorsehen einer dritten Isolierschicht auf der dritten Leiterbahnschicht und dem freigelassenen Bereich um das zweite Via und Bilden eines dritten Vias in der dritten Isolierschicht derart, daß es direkt auf das zweite Via trifft. So lassen sich sogar drei oder noch mehr Vias übereinander stapeln.

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

Fig. 1a bis e eine schematische Darstellung der Prozessschritte zur Herstellung von Stacked Vias für mikroelektronische Bauelemente gemäß einer Ausführungsform der vorliegenden Erfindung; und

Fig. 2a bis e eine schematische Darstellung der bisher üblichen Prozessschritte zur Herstellung von Stacked Vias für mikroelektronische Bauelemente.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

Fig. 1a bis e zeigen eine schematische Darstellung der Prozessschritte zur Herstellung von Stacked Vias für mikroelektronische Bauelemente gemäß einer Ausführungsform der vorliegenden Erfindung.

In **Fig. 1** bezeichnen **10** ein Substrat, **M1**, **M2**, **M3** Leiterbahnschichten, **ILD1**, **ILD2** Isolierschichten, **L1**, **L2**, **L2'** Liner, **H1**, **H2**, **H2'** Löcher und **V1**, **V2**, **V2'** Vias.

Zunächst wird eine erste Leiterbahnschicht **M1** auf dem Substrat **10**, welches zweckmäßigerweise eine integrierte elektrische Schaltung aufweist, abgeschieden und strukturiert.

Dann wird eine erste Isolierschicht **ILD1** auf der ersten Leiterbahnschicht **M1** abgeschieden und planarisiert. In der ersten Isolierschicht **ILD1** in Kontakt mit der ersten Leiterbahnschicht **M1** wird ein erstes Via **V1** gebildet. Dies geschieht durch Bilden eines Lochs **H1** in der ersten Isolierschicht **ILD1**, Aufputtern eines Liners **L1** in dem Loch **H1** und Auffüllen des Lochs **H1** mit einem elektrisch leitenden Material.

Der Liner **L1** ist zweckmäßigerweise aus Titan oder Titanitrid, und das elektrisch leitende Material aus Wolfram oder einer Wolframlegierung und wird durch CVD-Abcheidung eingebracht.

Dann wird eine zweite Leiterbahnschicht **M2** auf der ersten Isolierschicht **ILD1** unter Freilassen eines Bereichs um das erste Via **V1** abgeschieden und strukturiert. Analog wie zuvor wird dann eine zweite Isolierschicht **ILD2** auf der zweiten Leiterbahnschicht **M2** und dem freigelassenen Bereich um das erste Via **V1** abgeschieden und planarisiert.

Dann erfolgt das Bilden eines zweiten Vias **V2** in der zweiten Isolierschicht **ILD2** genauso wie das Bilden des ersten Vias **V1**, jedoch derart, daß es direkt auf das erste Via **V1** ohne zwischengeschaltetes Metall-Landing-Pad in der **M2**-Ebene trifft.

Gleichzeitig erfolgt das Bilden eines weiteren zweiten Via **V2'** in der zweiten Isolierschicht **ILD2** in Kontakt mit

der zweiten Leiterbahnschicht **M2**.

Bei dieser Ausführungsform werden die Löcher **H1**, **H2** und **H2'** durch einen anisotropen Ätzprozeß, insbesondere Plasmaätzen, gebildet. Daher kommt es beim gleichzeitigen Bilden des zweiten Vias **V2** mit dem weiteren zweiten Via **V2'** zu einer Überätzung des weiteren zweiten Vias **V2'**. Bei dieser Überätzung bildet die zweite Leiterbahnschicht **M2** unterhalb des Lochs **H2'** einen vertikalen Ätzstopp.

Schließlich erfolgt das Vorsehen einer dritten strukturierten Leiterbahnschicht **M3** auf der zweiten Isolierschicht **ILD2** in Kontakt mit dem zweiten Via **V2** und dem weiteren zweiten Via **V2'**.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

So ist es beispielsweise möglich, die dritte strukturierte Leiterbahnschicht **M3** auf der zweiten Isolierschicht **ILD2** unter Freilassen eines Bereichs um das zweite Via **V2** und eine dritte Isolierschicht auf der dritten Leiterbahnschicht und dem freigelassenen Bereich um das zweite Via **V2** vorzusehen. Dann kann ein drittes Via in der dritten Isolierschicht derart gebildet werden, daß es direkt auf das zweite Via **V2** trifft, welches wiederum direkt auf das erste Via **V1** trifft.

Ebenso ist es beispielsweise möglich, die erste strukturierte Leiterbahnschicht **M1** auf dem Substrat unter Freilassen eines Bereichs um den direkten Kontakt zu den darunterliegenden mikroelektronischen Strukturen vorzusehen, so daß diese ohne Verwendung von Metall-Landing-Pads mit der zweiten bzw. einer noch höheren Metallebene verbindbar sind.

Bezugszeichenliste

10 Substrat
M1, **M2**, **M3** Leiterbahnschichten
ILD1, **ILD2** Isolierschichten
L1, **L2**, **L2'** Liner
H1, **H2**, **H2'** Löcher
V1, **V2**, **V2'** Vias

Patentansprüche

1. Verfahren zur Herstellung von Stacked Vias für mikroelektronische Bauelemente mit den Schritten:
Vorsehen einer ersten strukturierten Leiterbahnschicht (**M1**) auf einem Substrat (**10**);
Vorsehen einer ersten Isolierschicht (**ILD1**) auf der ersten Leiterbahnschicht (**M1**);
Bilden eines ersten Vias (**V1**) in der ersten Isolierschicht (**ILD1**) in Kontakt mit der ersten Leiterbahnschicht (**M1**);
Vorsehen einer zweiten strukturierten Leiterbahnschicht (**M2**) auf der ersten Isolierschicht (**ILD1**) unter Freilassen eines Bereichs um das erste Via (**V1**);
Vorsehen einer zweiten Isolierschicht (**ILD2**) auf der zweiten Leiterbahnschicht (**M2**) und dem freigelassenen Bereich um das erste Via (**V1**); und
Bilden eines zweiten Vias (**V2**) in der zweiten Isolierschicht (**ILD2**) derart, daß es direkt auf das erste Via (**V1**) trifft.
2. Verfahren nach Anspruch 1, gekennzeichnet durch den Schritt:
Bilden eines weiteren zweiten Via (**V2'**) in der zweiten Isolierschicht (**ILD2**) in Kontakt mit der zweiten Leiterbahnschicht (**M2**)
3. Verfahren nach Anspruch 1 oder 2, dadurch gekenn-

- zeichnet, daß das Bilden des weiteren zweiten Via (V2') gleichzeitig mit dem Bilden des zweiten Via (V2) geschieht.
4. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß die Vias (V1; V2, V2') durch folgende Schritte gebildet werden:
- Bilden eines Lochs (H1; H2; H2') in der betreffenden Isolierschicht (ILD1; ILD2);
- Aufbringen, insbesondere Aufspattern, eines Liners (L1; L2; L2') in dem Loch (H1; H2; H2'); und
- Auffüllen des Lochs (H1; H2; H2') mit einem elektrisch leitenden Material.
5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß der Liner (L1; L2; L2') Titan oder Titannitrid aufweist.
6. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß das elektrisch leitende Material Wolfram aufweist.
7. Verfahren nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß das Loch (H1; H2; H2') durch einen anisotropen Ätzprozeß, insbesondere Plasmaätzen, gebildet wird.
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß zum gleichzeitigen Bilden des zweiten Vias (V2) mit dem weiteren zweiten Via (V2') eine Überätzung des weiteren zweiten Via (V2') durchgeführt wird.
9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß die zweite strukturierte Leiterbahnschicht (M2) derart beschaffen ist, daß sie bei der Überätzung einen vertikalen Ätzstopp für das weitere zweite Via (V2') bildet.
10. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch den Schritt des Vorsehens einer dritten strukturierten Leiterbahnschicht (M3) auf der zweiten Isolierschicht (ILD2) in Kontakt mit dem zweiten Via (V2).
11. Verfahren nach einem der Ansprüche 1 bis 10, gekennzeichnet durch die Schritte:
- Vorsehen einer dritten strukturierten Leiterbahnschicht (M3) auf der zweiten Isolierschicht (ILD2) unter Freilassen eines Bereichs um das zweite Via (V2);
- Vorsehen einer dritten Isolierschicht auf der dritten Leiterbahnschicht und dem freigelassenen Bereich um das zweite Via (V2); und
- Bilden eines dritten Vias in der dritten Isolierschicht derart, daß es direkt auf das zweite Via (V2) trifft.

Hierzu 4 Seite(n) Zeichnungen

50

55

60

65

FIG 1a

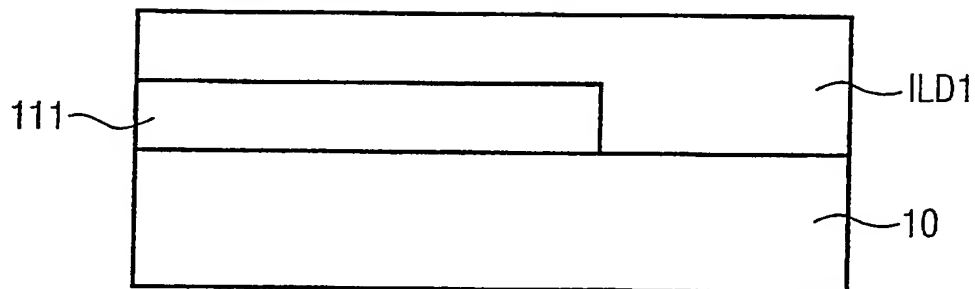


FIG 1b

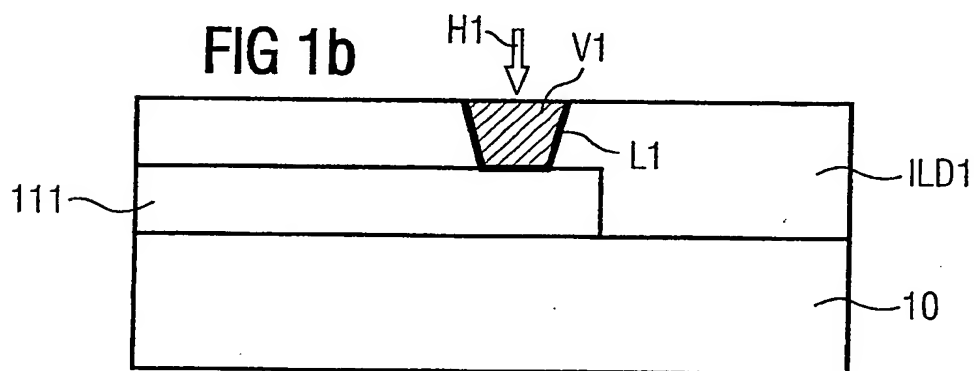


FIG 1c

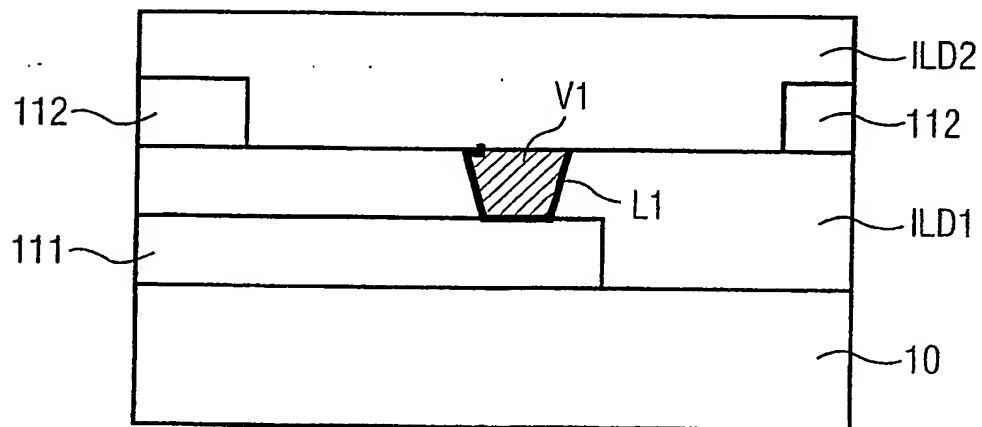


FIG 1d

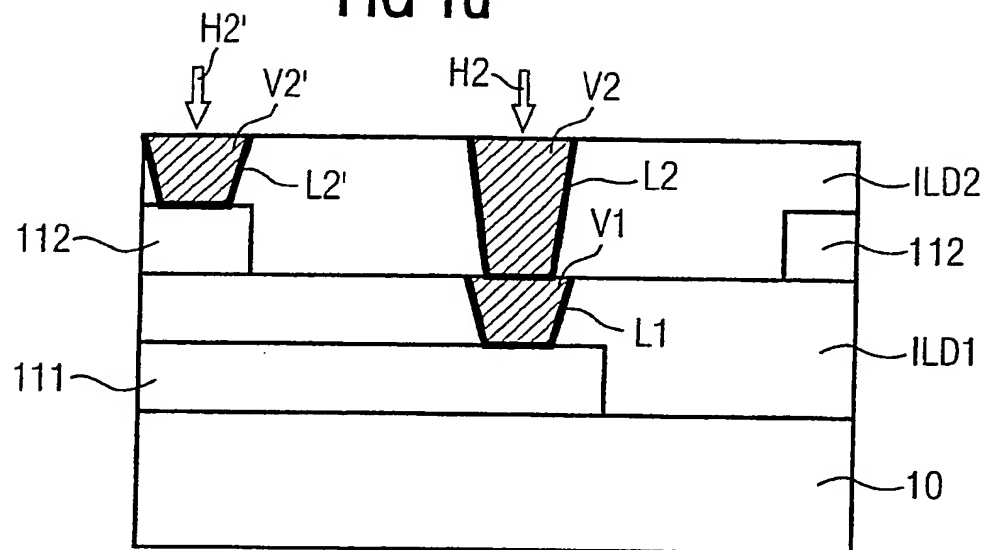


FIG 1e

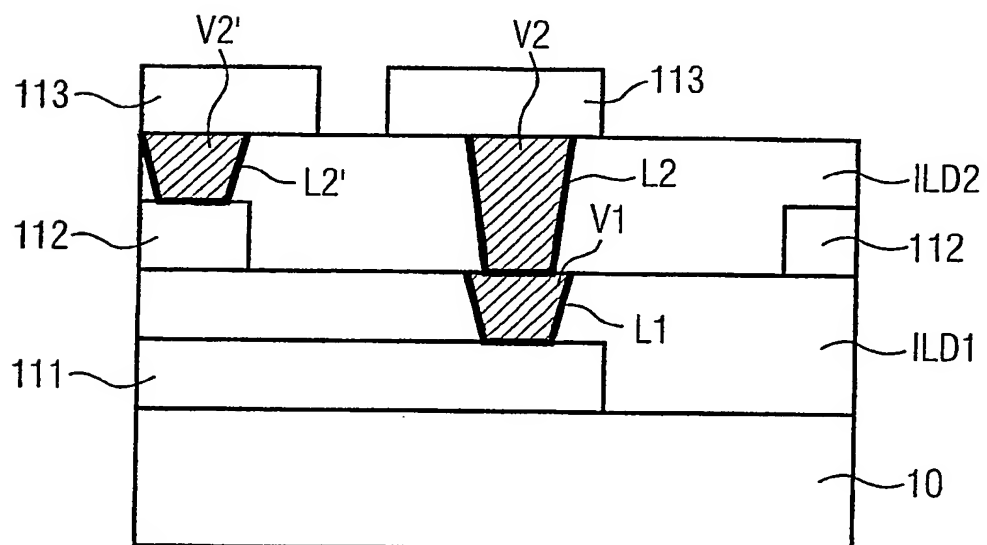


FIG 2a

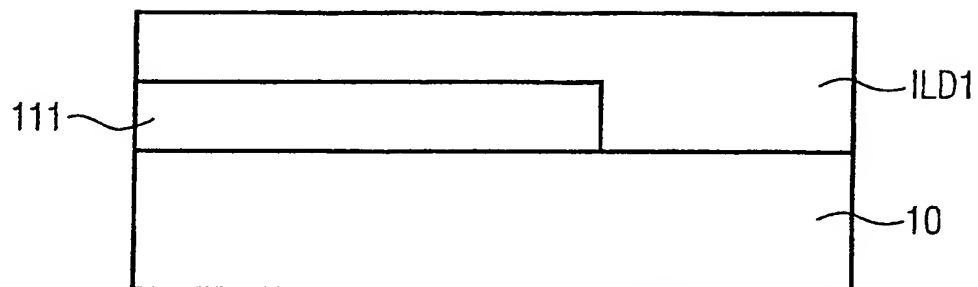


FIG 2b

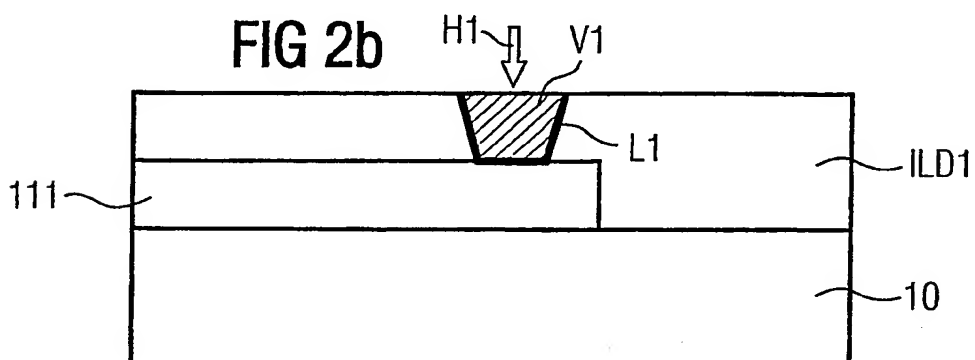


FIG 2c

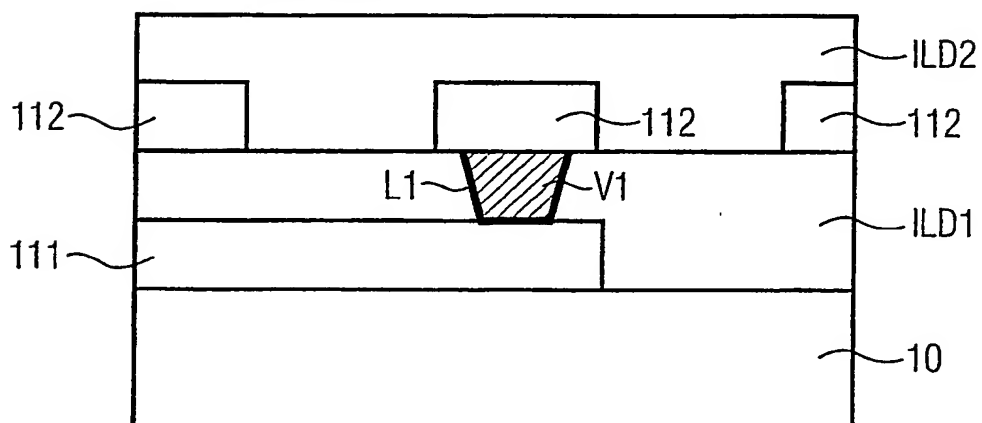


FIG 2d

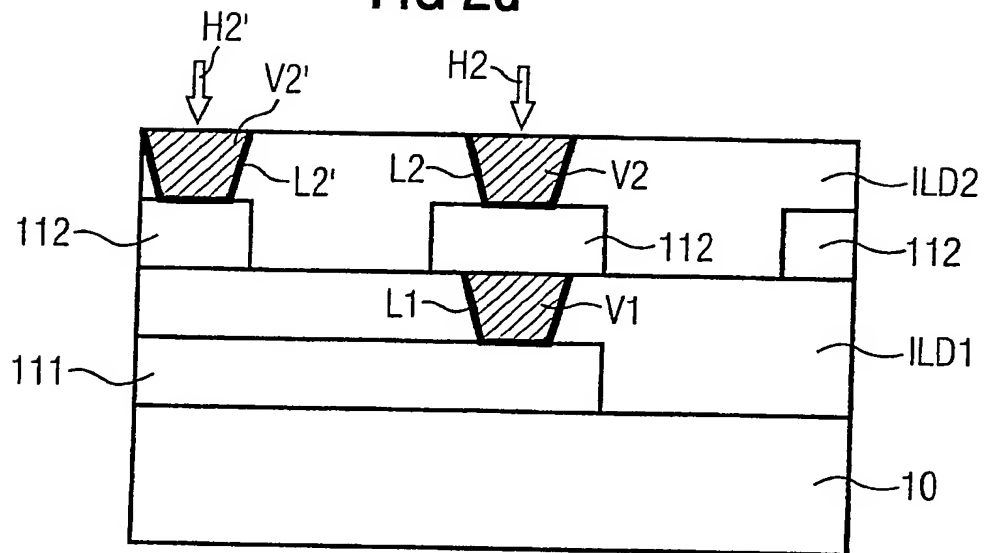


FIG 2e

